Y.T.Ü. Bilgisayar Mühendisliği Bölümü

**BLM3611 Bilgisayar Donanımı, 2013 Güz Dönemi, Kısa Sınav 2, 14/11/2013**

**Gr1: Yrd.Doç.Dr. Fethullah Karabiber, Gr2: Yrd.Doç.Dr. Songül Albayrak**

|  |  |  |
| --- | --- | --- |
| Soru 1  (50p) | Soru 2 (50p) | Toplam (100 p) |
|  |  |  |

**Adı Soyadı:**

**Öğrenci No:**

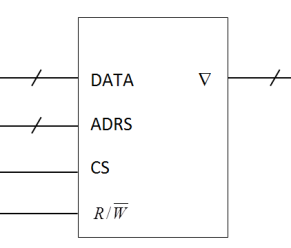
**Grup No:**

**Not:** Sınav Süresi 30 dakikadır. Başarılar...

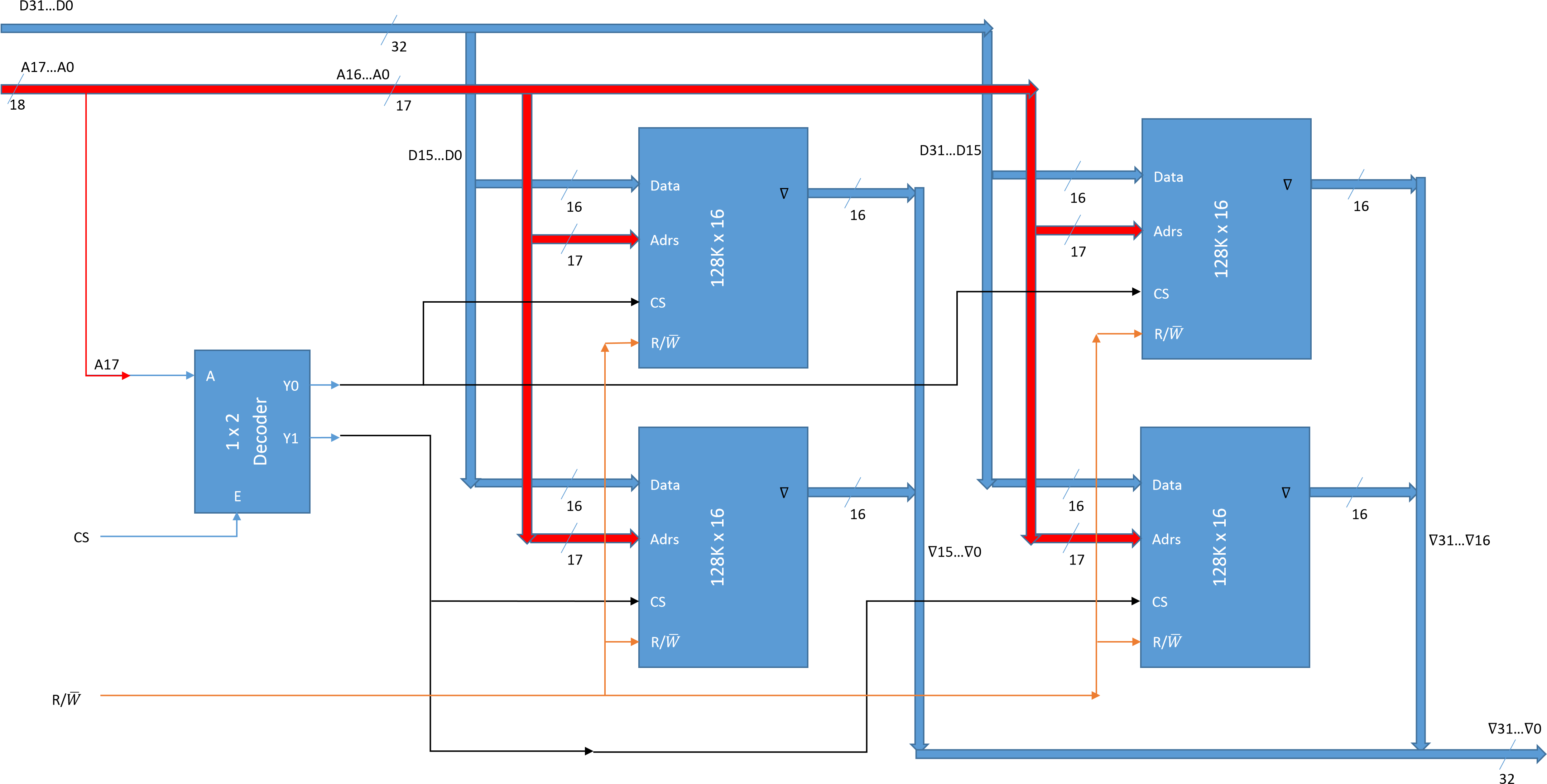
**SORU 1:**

1. Aşağıdaki bellek birimleri kelime sayısı ve her kelimedeki bit sayısı ile ifade edilmiştir. Her bir bellek birimi için adres ve veri uçlarının sayısını belirtiniz.

|  |  |  |  |
| --- | --- | --- | --- |
| **Bellek Birimi** | **Adres ucu sayısı** | **Veri ucu sayısı** | **Bellek Kapasitesi**  **(Byte cinsinden)** |
| 16Kx8 | 14 | 8 | = 16KB |
| 256Kx16 | 18 | 16 | = 512KB |
| 64Mx32 | 26 | 32 | = 256MB |
| 32Gx64 | 35 | 64 | = 256GB |



1. 128Kx16 RAM modülü ve decoder kullanarak, 256Kx32 RAM oluşturunuz. Verilen RAM modülünü kullanarak geliştirilen devrenin blok şemasını çiziniz.



**SORU 2:** Aşağıda sözde kodu (pseudo code) verilen algoritmayı gerçekleyebilen en küçük veri yolunu (datapath) tasarlayınız? Devrede bulunan kontrol bitlerini verilen tablodaki sütunlara yazarak, her bir işlem için alacağı değeri yazınız? Tasarımda bir adet toplayıcı/çıkarıcı ve yeteri kadar çoğullayıcı (Mux), saklayıcı ve temel lojik kapıları kullanınız.

|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  | *LoadX* | *ClrX* | *LoadY* | *ClrY* | *LoadZ* | *ClrZ* | *Subtract* | *inZ* | *Stat1* | *LoadX* |
| X=0 | *0* | *1* | *0* | *0* | *0* | *0* | *X* | *X* | *X* | *0* |
| Y=4 | *0* | *0* | *1* | *0* | *0* | *0* | *X* | *X* | *X* | *0* |
| Input Z | *0* | *0* | *0* | *0* | *1* | *0* | *X* | *1* | *X* | *0* |
| X=X+Y | *1* | *0* | *0* | *0* | *0* | *0* | *0* | *X* | *1* | *1* |
| Z=Z-1 | *0* | *0* | *0* | *0* | *1* | *0* | *1* | *0* | *0* | *0* |

*X* = 0

*Y* = 4

input *Z*

while (Z≠ 0) {

*X = X+Y*

*Z = Z-1* }

